

MENU

SEARCH

INDEX

DETAIL

BACK

2/2



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 10319429

(43)Date of publication of application: 04.12.1998

(51)Int.Cl.

G02F 1/136

G02F 1/133

(21)Application number: 09125265

(71)Applicant: HITACHI LTD

(22)Date of filing: 15.05.1997

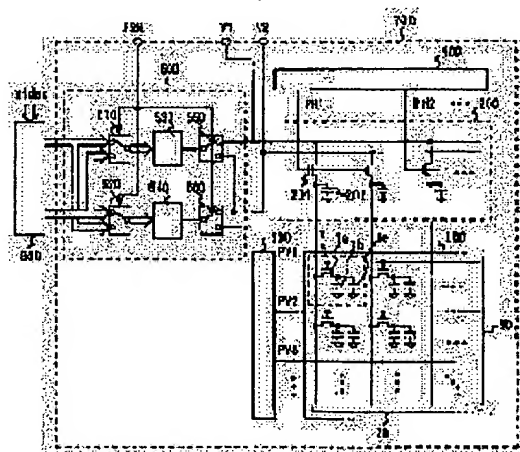
(72)Inventor: SATO HIDEO
MIKAMI YOSHIKI
TSUMURA MAKOTO
NAGAE KEIJI
TAKEMOTO KAYAO

(54) ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a small display device with a high quality of picture without flickering, etc., by providing the device with a D/A converter means for converting a digital video input signal into an analog signal and an accumulating sample-and-hold circuit.

SOLUTION: This display device is provided with a vertical scanning circuit 300 for driving a plurality of scanning lines 30, a sample-and-hold circuit 200 for driving a plurality of signal lines 20, a horizontal scanning circuit 400 for controlling sampling timing of the sample-and-hold circuit 200, and a D/A converter means 500 for outputting a digital video input signal to the sample-and-hold circuit 200. And, the D/A converter means 500 has in pairs a positive polarity D/A converter circuit 530 generating a



voltage of a positive polarity and a negative polarity D/A converter circuit 540 generating a voltage of a negative polarity to a reference voltage applied on a transparent electrode. Thus, the signal line 20 is controlled by a lesser number of the D/A converter circuits 530, 540, and this permits miniaturizing of the whole device.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

[MENU](#)

[SEARCH](#)

[INDEX](#)

[DETAIL](#)

[BACK](#)

(11)特許出願公開番号

(43)公開日 平成10年(1998)12月4日

審査請求 未請求 請求項の数8 OL (全 12 頁)

[最終頁に続く](#)

The diagram illustrates a video signal processing system. It starts with a 'Video' input signal entering block 800. The output of block 800 is connected to block 500. Block 500 contains several sub-blocks, including 510, 520, 530, 540, and 550. The output of block 500 is connected to block 300. Block 300 is connected to block 200, which is connected to block 100. Block 100 is connected to block 20. The diagram also shows a video output (Vout) connected to block 400, which is connected to block 200. The diagram includes various components such as transistors, capacitors, and resistors, and is labeled with various reference numerals.

【特許請求の範囲】

【請求項1】 一対の基板と、その一対の基板に挟持された液晶層と、前記一対の基板の一方の基板には複数の走査線と、その複数の走査線にマトリクス状に形成された複数の信号線と、それぞれの交点に対応して形成されたアクティブ素子と、そのアクティブ素子により制御される画素電極と、外部からデジタル信号で入力された映像信号を外部からのタイミング信号により、アナログ信号に変換する少なくとも1つのDA変換手段と、そのDA変換手段に接続され、前記DA変換手段からの映像信号をサンプリングし、蓄積するサンプルホールド回路と、そのサンプルホールド回路のサンプリングを制御する走査回路と、前記DA変換手段に接続され、前記一対の基板の他方に形成された対向電極を有する液晶表示装置。

【請求項2】 請求項1において、前記少なくとも1つのDA変換手段は、前記透明電極に印加する基準電圧に対して、正極性の電圧を発生する正極性DA変換回路と負極性の電圧を発生する負極性DA変換回路とを一対に有し、外部からデジタル信号で入力された映像信号を一対のDA変換回路のどちらに印加するかを外部からの前記タイミング信号により切り替えるデジタル信号切替手段と、前記一対のDA変換回路の2つの出力のどちらに接続されるかを外部からのタイミング信号によって切り替えるアナログ信号切替手段で構成されることを特徴とするアクティブマトリクス液晶表示装置。

【請求項3】 請求項2において、前記正極性DA変換回路及び前記複数の負極性DA変換回路のそれぞれは、外部からのタイミング信号により映像信号からの入力デジタル値に対応する電圧を選択するように形成された複数のアナログ信号切替手段と、前記入力デジタル値と前記複数のアナログ信号切替手段の動作の関係を規定する少なくとも1つのデコード回路とで構成されることを特徴とするアクティブマトリクス液晶表示装置。

【請求項4】 請求項2において、前記正極性DA変換回路は複数のトランジスタを有し、それらのトランジスタはPMOSトランジスタのみで構成され、前記負極性のDA変換回路は複数のトランジスタを有し、それらのトランジスタはNMOSトランジスタのみで構成されることを特徴とするアクティブマトリクス液晶表示装置。

【請求項5】 請求項2において、前記正極性DA変換回路と前記負極性DA変換回路に形成された前記デコード回路が前記複数のアナログ信号切替手段を制御することにより発生する電圧の数は前記入力基準電圧の数よりも多いことを特徴とするアクティブマトリクス液晶表示装置。

【請求項6】 請求項5において、前記正極性DA変換回路と前記負極性DA変換回路に形成された前記複数のアナログ信号切替手段は2個形成され、それらのアナログ信号切替手段を同時にオンすることにより1ビットのビット拡大を行うことを特徴としたアクティブマトリクス

液晶表示装置。

【請求項7】 請求項5において、前記正極性DA変換回路と前記負極性DA変換回路における前記複数のアナログ信号切替手段は4個形成され、それらのアナログ信号切替手段を同時にオンすることにより2ビットのビット拡大を行うことを特徴とするアクティブマトリクス液晶表示装置。

【請求項8】 請求項2において、前記DA変換手段と前記サンプルホールド回路の間には外部に接続される出力端子が形成されることを特徴とするアクティブマトリクス液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はデジタル入力で動作する駆動回路一体型のアクティブマトリクス液晶表示装置の高品位化、小型化に関し、特にその小型化に関する。

【0002】

【従来の技術】 アクティブマトリクス液晶表示装置は、シリコン単結晶基板上に形成するMOS(Metal-Oxide Semiconductor) トランジスタや、ガラス基板上に形成する多結晶シリコンの薄膜トランジスタ(TFT: Thin-Film Transistor)が利用される。いずれも、互いに直行して配置する複数の信号線と走査線の交点にトランジスタを形成した表示部と、複数の信号線と走査線の電圧を制御する駆動回路部で構成される。

【0003】 表示部のトランジスタは、ゲートを走査線に、ドレインを信号線に、ソースを表示電極に接続している。この表示電極に対向して1面に透明電極を形成した対向基板を設け、液晶はこの表示電極と対向基板との間に挟持される。通常、表示電極には保持容量を接続するので、ソース電極には保持容量と液晶容量が並列に接続される。ここで、ゲート電極が選択状態になるとトランジスタは導通し、信号線の映像信号を液晶容量および保持容量に書き込む。ゲート電極が非選択状態になるとトランジスタはハイインピーダンスとなり、液晶容量に書き込まれた映像信号を保持する。

【0004】 駆動回路部は、走査線の電圧を制御する走査回路と、信号線の電圧を制御する信号回路で構成されている。走査回路は、各走査線に1フレーム時間ごとに1回走査パルス印加する。通常このパルスのタイミングはパネルの上側から下に向かって順にずれている。1フレームの時間としては1/60秒がよく用いられる。代表的な画素構成である640×480ドットのパネルでは、1フレーム時間に480回の走査が行われるので、走査パルスの時間幅は約35μsとなる。この走査回路には通常シフトレジスタが用いられ、このシフトレジスタの動作速度は約28kHzである。

【0005】 一方、信号回路は、走査パルスが印加される1行分の画素に対応する液晶駆動電圧を各信号線に印

加する。走査パルスが印加された選択画素では走査線に接続されたトランジスタのゲート電極の電圧が高くなり、トランジスタがオン状態になる。このとき、液晶駆動電圧は、信号線からトランジスタのドレイン、ソース間を経由して液晶に印加され、液晶容量と保持容量とを合わせた画素容量を充電する。この動作を繰り返すことにより、パネル全面の画素容量には、フレーム時間ごとに繰り返し映像信号に対応した電圧が液晶に印加される。

【0006】この映像信号を表示部に書き込む駆動技術には、一般にアナログ方式とデジタル方式がある。このアナログ方式の例は1990年出版の小林駿介著、カラー液晶ディスプレイ(産業図書)、特開平8-137446号などに、デジタル方式の例は特開平6-222741号、特開平8-227283号などに記載されている。

【0007】アナログ方式の場合、信号線を駆動する信号回路はシフトレジスタとサンプル・ホールド回路で構成される。シフトレジスタは各画素に対応するサンプル・ホールド回路のタイミングを発生する。サンプル・ホールド回路では、このタイミングで各画素に対応する映像信号をサンプリングし、各信号線に液晶駆動電圧を供給する。この駆動方法は、タイミングを発生するシフトレジスタと映像信号をサンプリングするサンプルホールド回路を簡単な回路で構成できるので、主に駆動回路一体型の液晶表示パネルに使用される。

【0008】上記画素構成の場合、信号回路のシフトレジスタは走査回路の走査パルスの時間幅で640のタイミングを発生する。このため、このシフトレジスタのタイミングの時間間隔は50ns以下になり、このシフトレジスタは20MH以上の動作速度が必要となる。サンプル・ホールド回路にはこのように短い時間タイミングで映像信号をサンプリングすることが要求される。駆動回路一体型の液晶パネルでは、映像信号を複数に分けて入力することでサンプリングの時間を長くする方法が取られている。このため、高速の映像信号をサンプリングによって複数の映像信号に分割するとともに、分割した信号を増幅、交流化を行う信号変換回路が必要になる。

【0009】一方、デジタル方式の場合、信号線を駆動する信号回路は、シフトレジスタ、2段のラッチ回路、デジタルアナログ変換回路(以下DA変換回路)で構成される。ディジタル信号で順次入力される映像信号はシフトレジスタと2段のラッチ回路によって各信号線に対応するラッチ回路に格納する。DA変換回路はこのデータをアナログ電圧に変換して、各信号線に液晶駆動電圧を供給する。

【0010】本方式のラッチ回路及びDA変換回路のビット数は、表示する階調で決定され、フルカラー表示に必要な各色256階調のとき8ビットとなる。上述の画素構成の場合、10240ビット(8ビット×2×640)のラッチ回路と、640個の8ビットDA変換回路

が必要となる。各信号線のDA変換回路は、ばらつきを小さくするため基準電圧をスイッチで選択する方法が用いられる。本デジタル方式では、映像信号がデジタル信号であるため、信号伝送時のS/Nの劣化の防止がないので高品質の画像を表示できる。

【0011】

【発明が解決しようとする課題】デジタル入力方式を駆動回路一体型の液晶パネルに適用する場合、それぞれ次のような課題がある。

【0012】(1)液晶表示パネルを駆動する交流電圧がDA変換器や増幅器を通過する際に、それらの特性の違いにより出力信号に差が生じるため、画面にフリッカー等が生じる。

【0013】(2)信号回路の回路規模が膨大となり、パネルに占める回路部の面積が大きくなるとともに、実用的な歩留まりで実現することが困難となる。

【0014】(3)2のn乗倍の抵抗または容量を用いるDA変換回路の方式では、抵抗または容量の比精度を0.5%以下にする必要があり、製造上の歩留まり向上の妨げになる。

【0015】(4)DA変換器のテストには、各信号線をプロービングする必要があり、実用的ではない。

【0016】本発明の目的はデジタル入力で動作する駆動回路一体型のアクティブマトリクス液晶表示装置において、小型でフリッカー等のない画像品質の高いアクティブマトリクス液晶表示装置を提供することにある。

【0017】

【課題を解決するための手段】一対の基板と、その一対の基板に挟持された液晶層と、前記一対の基板の一方の基板には複数の走査線と、その複数の走査線にマトリクス状に形成された複数の信号線と、それぞれの交点に対応して形成されたアクティブ素子と、そのアクティブ素子により制御される画素電極と、外部からデジタル信号で入力された映像信号を外部からのタイミング信号により、アナログ信号に変換する少なくとも1つのDA変換手段と、そのDA変換手段に接続され、前記DA変換手段からの映像信号をサンプリングし、蓄積するサンプルホールド回路と、そのサンプルホールド回路のサンプリングを制御する走査回路と、前記DA変換手段に接続され、前記一対の基板の他方に形成された対向電極を有するように構成する。

【0018】この構成に加えて、上記少なくとも1つのDA変換手段は、透明電極に印加する基準電圧に対して、正極性の電圧を発生する正極性DA変換回路と負極性の電圧を発生する負極性DA変換回路とを一対に有し、外部からデジタル信号で入力された映像信号を一対のDA変換回路のどちらに印加するかを外部からの前記タイミング信号により切り替えるデジタル信号切替手段と、一対のDA変換回路の2つの出力のどちらに接続さ

れるかを外部からのタイミング信号によって切り替えるアナログ信号切替手段で構成されることが好ましい。

【0019】さらに、この正極性DA変換回路及び前記複数の負極性DA変換回路のそれぞれは、外部からのタイミング信号により映像信号から入力デジタル値に対応する電圧を選択するように形成された複数のアナログ信号切替手段と、前記入力デジタル値と前記複数のアナログ信号切替手段の動作の関係を規定する少なくとも1つのデコード回路とで構成されることが望ましい。

【0020】上記構成と同様に、正極性DA変換回路は複数のトランジスタを有し、それらのトランジスタはPMOSTランジスタのみで構成され、負極性のDA変換回路は複数のトランジスタを有し、それらのトランジスタはNMOSTランジスタのみで構成されるようにする。

【0021】また、正極性DA変換回路と負極性DA変換回路に形成されたデコード回路が複数のアナログ信号切替手段を制御することにより発生する電圧の数は入力基準電圧の数よりも多いように構成する。

【0022】また、正極性DA変換回路と負極性DA変換回路に形成された複数のアナログ信号切替手段は2個形成され、それらのアナログ信号切替手段を同時にオンすることにより1ビットのビット拡大を行うことが望ましい。

【0023】さらに、正極性DA変換回路と負極性DA変換回路における複数のアナログ信号切替手段は4個形成され、それらのアナログ信号切替手段を同時にオンすることにより2ビットのビット拡大を行うように構成する。

【0024】また、これらの構成に、DA変換手段と前記サンプル・ホールド回路の間には外部に接続される出力端子を形成することが好ましい。

【0025】

【発明の実施の形態】以下、本発明の実施例を詳細に説明する。

【0026】図1は本発明におけるアクティブマトリクス液晶表示装置の実施例のブロック構成図を示したものである。

【0027】本アクティブマトリクス液晶表示装置700は、画素回路1をマトリクス状に配置した表示部100と、複数の走査線30を駆動する垂直走査回路300と、複数の信号線20を駆動するサンプル・ホールド回路200と、サンプル・ホールド回路200のサンプリングタイミングを制御する水平走査回路400、デジタルの映像信号をアナログに変換した映像信号をサンプル・ホールド回路200に出力するDA変換手段500で構成される。DA変換手段500は、シリアルデジタル信号で入力される映像信号をパラレルに変換するシリアル・パラレル変換器600に接続される。このシリアル・パラレル変換器600はD(m)のデジタルデータを

D(2n-1)、D(2n)の2つのデータに変換し(m、nは整数)、D(2n-1)、D(2n)の2つのデータをDA変換手段500に供給している。

【0028】画素回路1はMOSTランジスタ1a、保持容量1b、液晶容量1cで構成し、MOSTランジスタのゲート端子は走査線に、ドレイン端子は信号線に、ソース端子は液晶容量1cと保持容量1bに接続される。この保持容量1bと液晶容量1cの他端は、表示部100と対向して配置し液晶を挟持する対向基板の電極と同電位に接続される。サンプル・ホールド回路200は、各信号線毎に接続するMOSTランジスタ201と容量202で構成し、映像信号V1を奇数ラインの信号線に、映像信号V2を偶数ラインの信号線に出力するようMOSTランジスタのドレイン端子を信号線に、ソース端子をV1またはV2の映像信号に、ゲート端子は水平走査回路400の出力に接続している。DA変換手段500は、デジタル信号切替手段510、520と、正極のDA変換回路530、負極のDA変換回路540、アナログ信号切替手段550、560で構成され、奇数ラインの映像信号V1と奇数ラインの映像信号V2を出力している。

【0029】以上のように構成した本発明の実施例の動作を図2のタイミング図で説明する。スタート信号FSTとクロック信号CKVは、前記垂直走査回路300に inputsする制御信号である。スタート信号FSTは表示する映像のフレームの先頭を示し、クロック信号CKVは走査線の切り替えタイミングを示している。前記垂直走査回路300は、前記クロック信号CKVの立ち上がりのタイミングで前記スタート信号FSTを取り込み、前記走査線の信号PV1、PV2…を出力する。フレーム信号FRMは、各フレームの周期で反転し、映像信号の極性を切り替える信号である。フレーム信号FRMは、デジタル信号切替手段510、520とアナログ信号切替手段550、560に接続し、フレーム信号FRMで、奇数ラインの映像信号V1と偶数ラインの映像信号V2に使用する正極、負極のDA変換回路530、540を切り替えている。フレーム信号FRMが“H”とき、奇数ラインの映像信号V1は正極のDA変換回路530でデジタル信号D(2n-1)をアナログ電圧に変換して発生し、偶数ラインの映像信号V2は負極のDA変換回路540で発生し、偶数ラインの映像信号V2は負極のDA変換回路540でデジタル信号D(2n)をアナログ電圧に変換して発生する。一方、フレーム信号FRMが“L”とき、奇数ラインの映像信号V1は負極のDA変換回路540で、偶数ラインの映像信号V2は正極のDA変換回路530で、それぞれデジタル信号D(2n-1)とD(2n)をアナログ電圧に変換して発生する。この結果、映像信号V1、V2は、図2に示すように、対向電極の電圧VCOMを基準にして互いに逆相の極性で、さらにフレーム信号FRMの周期で反転してい

る。

【0030】スタート信号STAと、クロック信号CKHは、前記水平走査回路400に入力する制御信号である。スタート信号SATは表示する画素の先頭を示し、クロック信号CKHは画素に対応する走査のタイミングを示している。前記水平走査回路400は前記クロック信号CKHの立ち上がりのタイミングで前記スタート信号STAを取り込み、前記サンプル・ホールド回路200のサンプリング信号PH1、PH2…を出力する。

【0031】映像信号Dataは、複数のビットのデジタル信号で入力される映像信号の代表的なビットを示している。この映像信号Dataは、クロック信号CKHの立ち上がりタイミングで変化する。アナログ電圧の映像信号V1、V2は、映像信号Dataのタイミングで変化する。クロック信号CKHの周期内に整定する。サンプル・ホールド回路200は、この映像信号V1、V2を前記サンプリング信号PH1、PH2…の立ち下がりのタイミングでサンプリングしその電圧を保持する。この保持した映像信号は、前記垂直走査回路300の出力で選択された画素回路1に書き込まれるので、本アクティブマトリクス液晶表示装置で、映像を表示できる。

【0032】以上のように本発明のアクティブマトリクス液晶表示装置では、2つのDA変換回路でデジタル入力のアクティブマトリクス液晶表示装置を実現できる。つまり、少ないDA変換回路で表示部の信号線を制御することができるので、装置全体を小型化することができる。歩留まりが向上し、製造コストを下げることができる。

【0033】また、正極性、負極性の両方の極性を持つDA変換回路を2つ利用する形成よりも正極性、負極性のそれぞれの極性を持つDA変換回路で形成した方が性能が安定する。

【0034】また、信号線を2つに分割し、2種類の映像信号の電圧を印加する構成を示したが、DA変換回路でさらに多くすることも容易に実現できる。この場合は、DA変換回路の個数に比例して回路規模が大きくなるものの、DA変換回路の個数に反比例して、DA変換手段500に使用するDA変換回路の変換速度と、水平走査回路400の動作速度を遅くできる利点がある。

【0035】図3にDA変換手段500を実現する回路構成図の第1の実施例を示す。本実施例では、2ビットのデジタルの映像信号を4階調のアナログ電圧に変換する例で示している。

【0036】デジタル信号切替手段510、520は、CMOSスイッチ511～514、521～524のそれぞれ4個のスイッチで構成している。各CMOSスイッチはフレーム信号FRMとその信号をインバータ519で反転した信号で制御される。ここで、フレーム信号FRMが“H”の場合、CMOSスイッチ511、513、521、523がオン状態となり、他のスイッチは

オフ状態となる。この結果、奇数ラインの映像信号D10、D11は正極のDA変換回路530に、偶数ラインの映像信号D20、D21は負極のDA変換回路540に入力される。一方、フレーム信号FRMが“L”の場合、他のCMOSスイッチ512、514、522、524がオン状態となり、奇数ラインの映像信号D10、D11が負極のDA変換回路540に、偶数ラインの映像信号D20、D21が正極のDA変換回路530に入力される。

【0037】アナログ信号切替手段550は、PMOSトランジスタ551、552で、アナログ信号切替手段550はNMOSTランジスタ561、562で構成している。これらのMOSTランジスタは、フレーム信号FRMとその信号をインバータ553で反転した信号で制御される。ここでフレーム信号FRMが“H”の場合、PMOSTランジスタ551とNMOSTランジスタ562がON状態となり、他のMOSTランジスタはオフ状態となるので、正極のDA変換回路530の出力が奇数ラインの映像信号V1に、負極のDA変換回路540の出力が偶数ラインの映像信号V2に接続される。一方、フレーム信号が“L”の場合、他のMOSTランジスタ552、561がオン状態となるので、正極のDA変換回路530の出力が偶数ラインの映像信号V2に、負極のDA変換回路540の出力が奇数ラインの映像信号V1に接続される。

【0038】正極のDA変換回路530は2ビットのデコード回路539と4個のインバータ535～538、4個のPMOSTランジスタ531～534で構成され、負極のDA変換回路540は2ビットのデコード回路549と4個のNMOSTランジスタ541～544で構成される。ここで、デコード回路539、549は、図4に示す入力D0、D1と出力Y0～Y3の関係で動作する。このデコード回路539、549の出力で、前記MOSTランジスタ531～534と541～544をそれぞれ制御する。この結果、正極のDA変換回路530では入力D0、D1で、正極の基準電圧Vp0～Vp3いずれかの電圧を選択して電圧Vpを出力する。一方、負極のDA変換回路540、負極の基準電圧Vn0～Vn3いずれかの電圧を選択して、電圧Vnを出力する。このD0、D1のデジタル入力値に対する各DA変換回路530、540の出力電圧Vp、Vnの関係を図5に示す。

【0039】以上のように本発明のアクティブマトリクス液晶表示装置に使用する変換手段の第1の実施例では、正極のDA変換回路530に適用する入力基準電圧のMOSTスイッチとその出力を切り替えるアナログ信号切替手段550をPMOSで、負極のDA変換回路540に適用する入力基準電圧のMOSTスイッチとその出力を切り替えるアナログ信号切替手段560をNMOSで構成している。

【0040】この結果、正極性・負極性の両方の極性を有するDA変換回路を用いたときの特性を損なうことなく、回路規模を1/2縮小できる効果がある。

【0041】次に、本発明のアクティブマトリクス液晶表示装置に適用するDA変換回路の第2の実施例を図6で説明する。本発明のDA変換回路710は、D0～D2の3ビットのデジタル入力をY0～Y4の5ビットの信号に変換するデコード回路720とこのデコード回路の信号を反転する5個のインバータ721～725、5個のPMOSスイッチ711～715で構成している。10

本実施例では、この5個のPMOSスイッチ711～715で5個の基準電圧Vp0～Vp4から8階調のアナ

$$V_p = \{(R_{s2} + R_{on2})V_{p1} + (R_{s1} + R_{on1})V_{p2}\} / (R_{s1} + R_{s2} + R_{on1} + R_{on2}) \quad \dots (1)$$

このように、出力電圧Vpは、(Rs1+Ron1)と(Rs2+Ron2)の分圧で決定されるので、Rs

1, Rs2をRon1, Ron2に対して十分小さく選ぶことと、Ron1, Ron2の抵抗偏差を十分小さくすることで、Vp1とVp2の中間電圧にすることができる。この結果、入力データが奇数階調のときは、デ

コード回路720の隣り合った出力で選択される基準電圧の中間電圧が出力されることになる。このDA変換回路710の入力デジタル値に対するアナログ出力電圧の関係を図9に示す。

【0044】以上のように、本発明のDA変換回路では、複数の選択スイッチを選ぶことで、入力する基準電圧間の中間電圧を発生することができる。

【0045】本実施例のDA変換回路710は、正極のDA変換回路を例に示したが、基準電圧に対する電圧正負を逆転すれば、負極のDA変換回路に適用できる。30

【0046】次に、本発明のアクティブマトリクス液晶表示装置に適用するDA変換回路の第3の実施例を図10で説明する。図6の実施例と異なるのは、デコードの出力Y0-1, インバータ721-1, PMOSスイッチ711-1を追加している点である。PMOSスイッチ711-1は、PMOSスイッチ711のソース、ドレインと並列に接続している。

【0047】図11は本実施例のデコード回路720の入出力の関係を示す図である。D0～D2の入力データの状態によって、Y0-1, Y0～Y4の出力は次の様に常に2個の出力が“1”の状態をとるように動作する。

【0048】(1) 入力データが“000”のとき、Y0-1, Y0の2出力が“1”

(2) 入力データが奇数のとき、隣り合った2出力が“1”

(3) 入力データが偶数のとき、1個置ききの2出力が“1”

2個の出力が“1”の状態をとるときの出力は図8の等価回路で説明したように、選択した基準電圧の平均電圧

*ログ電圧Vpを変換している。

【0042】ここで、デコード回路720は、図7に示す入出力の関係で動作する。この図に示すように、入力データが偶数階調のときはY0～Y4の5個の出力の中から1個選択し、奇数階調のときは隣り合った2個の出力を選択する。この2個の電圧を選択したときの等価回路を図8に示す。ここでは、基準電圧Vp1とVp2が選択された場合について示した。各基準電圧間には、電源の直列抵抗Rs1, Rs2と、PMOSスイッチのオン抵抗Ron1, Ron2が直列に接続される。このときの、出力電圧Vpは次式で示される。

【0043】

となるので、本発明のDA変換回路の入出力特性は図9に示した図6の変換手段の入出力特性と等しくなる。

【0049】本発明では、常に2個のPMOSスイッチがオン状態になるので、DA変換回路の出力カインピーダンスは、1個のスイッチを常にON状態にしたときよりも1/2に小さくできるとともに、DAの入力状態によらずに一定に保つことができる。このため、全入力データの範囲でDA変換回路の負荷容量の充放電を早めることが可能となる。

【0050】次に、本発明のアクティブマトリクス液晶表示装置に適用するDA変換回路の第4の実施例を図12を用いて説明する。本発明のDA変換回路750はD0～D4の5ビットのデータとVp0～Vp8の9個の基準電圧を入力して、32階調のアナログ電圧を出力するものである。本実施例では、デコード回路751, インバータ752, 760-1～768-4の符号で示す21個のPMOSスイッチで構成される。デコード回路751は5ビットの入力データをY0-1～Y8-4で示す21個の信号を出力する。この信号はインバータ752で反転され、21個のPMOSスイッチのゲート端子にそれぞれ接続されている。PMOSスイッチに付けた符号の最初の3桁が等しいものはそれぞれソースとドレインを並列にして、同一の基準電圧に接続している。

【0051】図13は本実施例のデコード回路751の入出力の関係を示す図である。本図でY0～Y8の覧に記載した数字は基準電圧Vp0～Vp8に接続するPMOSスイッチの並列数である。例えば、D0～D4のデータが“10000”の場合、Y0=“3”, Y1=“1”、その他は“0”と記載している。これは、基準電圧Vp0と出力Vp間に接続している4個のPMOSスイッチ760-1～760-4の内3個をオン状態に、基準電圧Vp1と出力Vp間に接続している3個のPMOSスイッチ761-1～761-3の内1個をオン状態に、その他のPMOSスイッチをすべてオフ状態にすることを示している。

【0052】本実施例では、D0～D4の入力状態によ

って、常に4個のPMOSスイッチがオン状態となるよう設定している。同時の4個のPMOSスイッチをオン状態にすると、図6に示す等価回路と同じ考え方で、出力電圧 V_p はPMOSスイッチで選択された4個の基準電圧の平均電圧となる。この結果、基準電圧 $V_{p0} \sim V_{p8}$ で入力した電圧差の差 $1/4$ の電圧まで発生することができる。また、DA変換回路の出力インピーダンスは、1個のスイッチを常にON状態にしたときよりも $1/4$ に小さくできる。

【0053】図14に、図13に示す入出力特性のデコード回路を用いた時の、DA変換回路の入出力特性を示す。デジタル入力値に対してアナログ出力電圧は、直線的に変化し、入力した基準電圧 $V_{p0} \sim V_{p8}$ のステップの $1/4$ の電圧まで発生できていることが分かる。つまり、 n ビットのデジタル入力値に対して $1/n$ までの階調を表示することのできる電圧をつくりだすことができる。

【0054】図15に、図14に対して基準電圧の電圧間隔を変化させたときの、DA変換回路の入出力特性を示す。ここでは、 $V_{p0} \sim V_{p8}$ の基準電圧の間隔を中心部に対して最小電圧又は最大電圧に行くにしたがい広くしている。このように設定することで、デジタル入力値が最小又は最大で変換感度を高くしている。この結果、液晶の透過率がゼロ又は飽和状態で感度が低下する特性（ガンマ特性）を補正することができる。

【0055】

【発明の効果】本発明のデジタル入力に対応した駆動回路内蔵型のアクティブマトリクス液晶表示装置では、用いるDA変換回路を2つのDA変換回路で実現しているので、実用的な歩留まりで製造することができる。さらに、正極性のDA変換回路に適用する入力基準電圧のMOSスイッチとその出力を切り替えるアナログ信号切替手段をPMOSのみで、負極性のDA変換回路に適用する入力基準電圧のMOSスイッチとその出力を切り替えるアナログ信号切替手段をNMOSのみで構成するので、正極性・負極性の両方の極性を有するDA変換回路で構成した時の特性を損なうことなく、回路規模を $1/2$ に縮小できる。さらに、DA変換回路において、複数の選択スイッチをオン状態にすることによりDA変換回路の出力インピーダンスを低くすることができる。また、基

準電圧以外の電圧を分圧で発生することで、DA変換回路のビットの拡大ができる。

【図面の簡単な説明】

【図1】本発明のアクティブマトリクス液晶表示装置の実施例を示すブロック構成図。

【図2】本発明のアクティブマトリクス液晶表示装置の動作を示すタイミング図。

【図3】本発明の変換手段の第1の実施例を示す回路構成図。

10 【図4】DA変換回路の第1の実施例に適用するデコーダの入出力の関係を示す図。

【図5】本発明の変換手段の入出力特性を示す図。

【図6】本発明の変換手段の第2の実施例を示す回路構成図。

【図7】DA変換回路の第2の実施例に適用するデコーダの入出力の関係を示す図。

【図8】DA変換回路の第2の実施例の動作原理を説明する図。

20 【図9】DA変換回路の第2の実施例の入出力特性を示す図。

【図10】DA変換回路の第3の実施例を示す回路構成図。

【図11】DA変換回路の第3の実施例に適用するデコーダの入出力の関係を示す図。

【図12】DA変換回路の第4の実施例を示す回路構成図。

【図13】DA変換回路の第4の実施例に適用するデコーダの入出力の関係を示す図

30 【図14】DA変換回路の第4の実施例の第1の入出力特性を示す図。

【図15】DA変換回路の第4の実施例の第2の入出力特性を示す図。

【符号の説明】

1…画素回路、1a…MOSトランジスタ、1b…保持容量、1c…液晶容量、100…表示部、30…走査線、20…信号線、300…垂直走査回路、200…サンプル・ホールド回路、400…水平走査回路、500…変換手段、530…正極性のDA変換回路、540…負極性のDA変換回路、510、520…デジタル信号切替手段、550、560…アナログ信号切替手段。

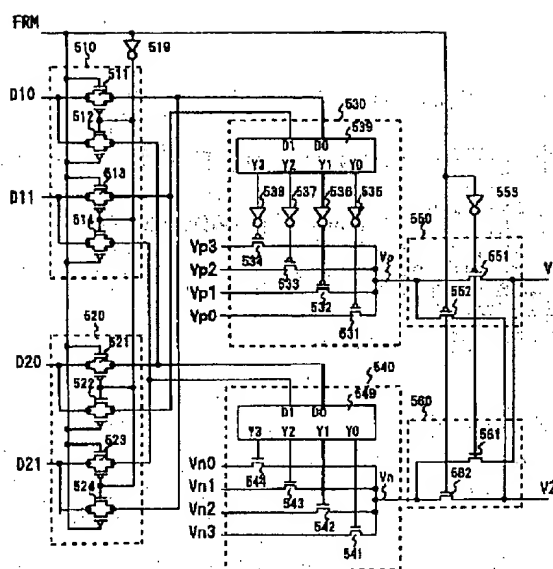
【図4】

図 4

D0	D1	Y0	Y1	Y2	Y3
0	0	1	0	0	0
1	0	0	1	0	0
0	1	0	0	1	0
1	1	0	0	0	1

【図 3】

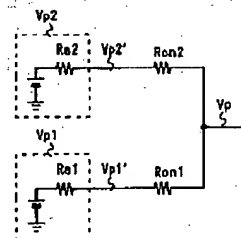
图 3



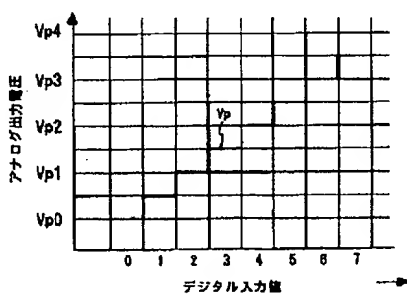
6



8

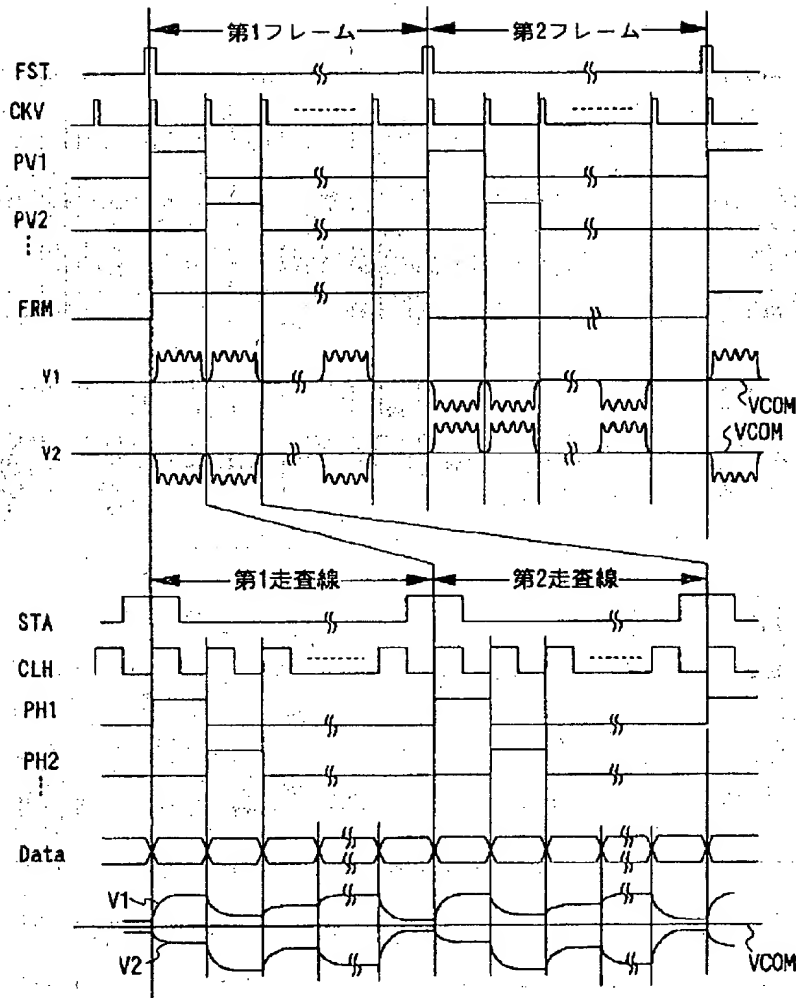


【図 9】



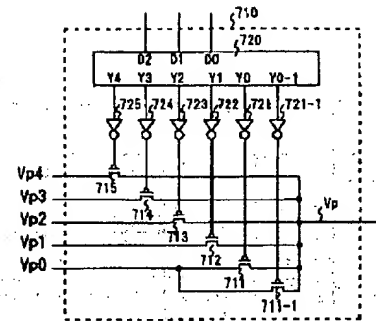
【図2】

図 2



【図10】

図 10



【図11】

図 11

D0	D1	D2	Y0-1	Y0	Y1	Y2	Y3	Y4
0	0	0	1	1	0	0	0	0
1	0	0	0	1	1	0	0	0
0	1	0	0	1	0	1	0	0
1	1	0	0	0	1	1	0	0
0	0	1	0	0	1	0	1	0
1	0	1	0	0	0	1	1	0
0	1	1	0	0	0	1	0	1
1	1	1	0	0	0	0	1	1

【図12】

図 12

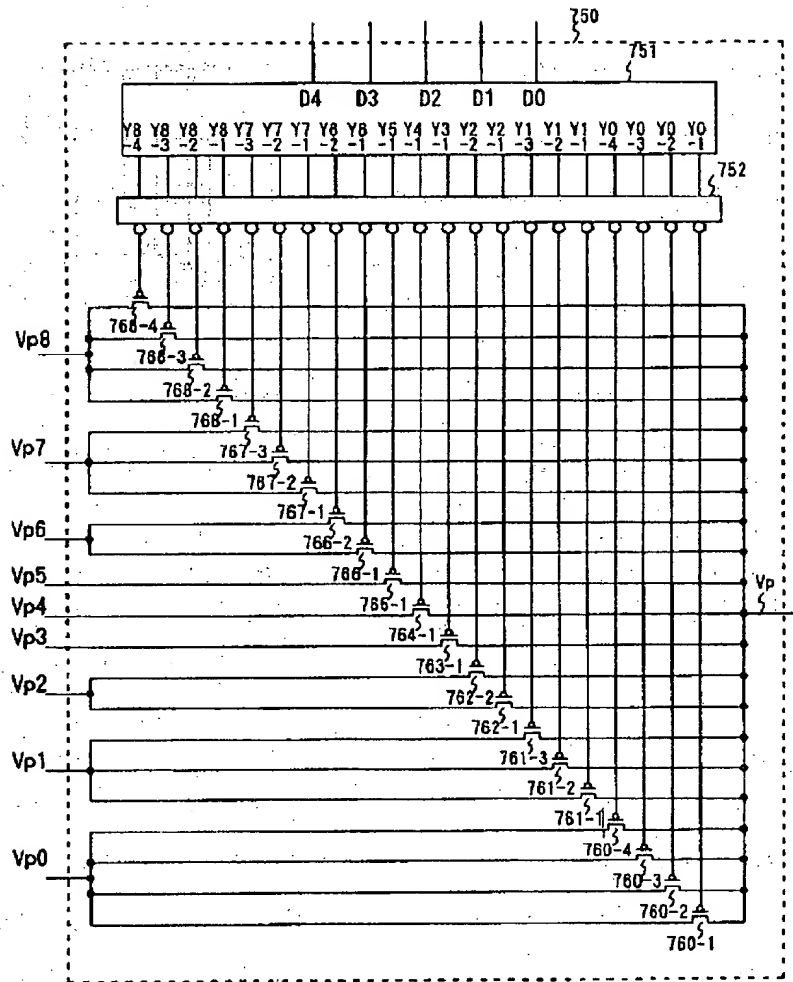
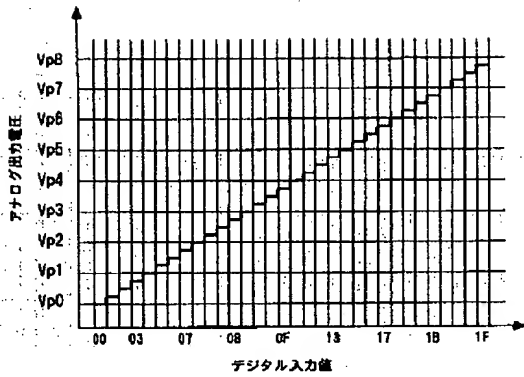


圖 13

[illegible]

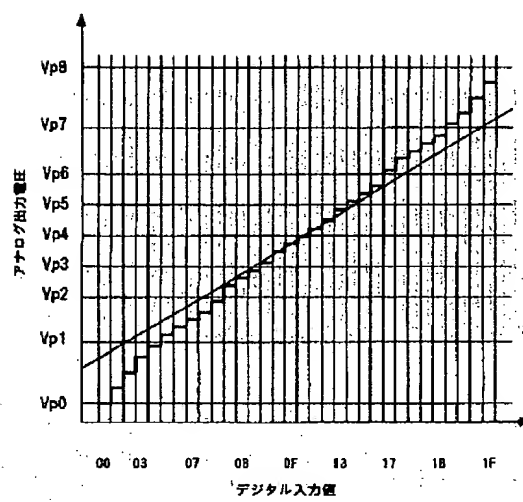
【図14】

図 14



【図15】

図 15



フロントページの続き

(72)発明者 長江 慶治

茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 竹本 一八男

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内